

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-336007

(43)Date of publication of application : 18.12.1998

(51)Int.Cl. H03K 19/0175
H03K 19/0185
H03K 19/003

(21)Application number : 09-139739 (71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 29.05.1997 (72)Inventor : KATO TSUTOMU

(54) LEVEL CONVERTEROUTPUT CIRCUITAND INPUT-OUTPUT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a level converter used for a semiconductor device which operates with a plurality of power supply voltages to stably operate even when a time lag exists between the delivering timing of the power supply voltages.

SOLUTION: A level converter is provided with an input buffer circuit 100 and a level converting section 101 equipped with an output holding circuit 102. The buffer circuit 100 outputs a pair of buffer signals X1 and X2 to the level converting section 101 on the basis of a binary input signal A having an amplitude based on a low-voltage power source. The section 101 outputs the binary input signal A after converting the signal A into a binary output signal Y having the amplitude based on a high-voltage power source on the basis of the buffer signals X1 and X2. The output holding circuit 102 outputs the binary output signal Y based on the potential difference between the buffer signals X1 and X2 when the states of the signals X1 and X2 become unstable.

CLAIMS

[Claim(s)]

[Claim 1]An input buffer circuit where a binary input signal provided with amplitude based on low voltage power is inputted.

A level conversion section which changes and outputs said binary input signal to a binary output signal of amplitude based on high voltage power based on buffer signals of a couple outputted from said input buffer circuit.

It was the level converter provided with the aboveand said level conversion section was equipped with an output hold circuit which outputs said binary output signal based on potential difference of these buffer signals when said buffer signals were unfixed.

[Claim 2]Connect mutuallyand said output hold circuit and a level conversion section constitute the 1st and 2nd input terminals and output terminals of a CMOS inverter that operate by high voltage powerand said input buffer circuitWhile connecting the 1st input transistor in series between an output terminal of said 1st CMOS inverterand a low voltage side power sourceBetween an output terminal of said 2nd CMOS inverterand a low voltage side power sourceconnect in series and the 2nd input transistor is constitutedThe level converter according to claim 1 outputting said buffer signals by making either of said 1st and 2nd input transistors the one based on said binary input signal.

[Claim 3]The level converter according to claim 1 or 2 equipping said output hold circuit with an initial-value-setting circuit which sets up an initial value of said binary output signal at the time of an injection of high voltage power.

[Claim 4]The level converter according to claim 3wherein said initial-value-setting circuit connects one output terminal of said 1st and 2nd CMOS inverters to either of a high potential side power source and a low voltage side power source via capacity.

[Claim 5]Said initial-value-setting circuit One output terminal of said 1st and 2nd CMOS invertersThe level converter according to claim 3 constituting from a reset signal output circuit which carries out predetermined time one of said transistor for initial value setting based on a transistor for initial value setting which intervenes between either a high potential side power source and a low voltage side power sourceand an injection of high voltage power.

[Claim 6]The level converter according to claim 3wherein said initial-value-setting circuit constitutes threshold voltage of said 1st and 2nd CMOS inverters as a different value.

[Claim 7]The level converter according to claim 4 constituting said initial-value-setting circuit from said capacity and said 1st and 2nd CMOS inverters of a value from which threshold voltage differs.

[Claim 8]An output circuit driving an output buffer circuit based on a binary output signal of a level converter of a statement in any 1 paragraph of claims 1 thru/or 7.

[Claim 9]An output circuit opening and closing a transistor for pull-up control connected to a high potential side power source via resistance based on a binary output signal of a level converter given in any 1 paragraph of claims 3 thru/or 7.

[Claim 10]An input output circuit switching output mode which outputs an output signal to any 1 paragraph of claims 3 thru/or 7 from an output buffer circuit based on a binary output signal of a level converter of a statementand an input mode which

changes an output signal of an output buffer circuit into an unfixed state.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the level converter used for the semiconductor device which operates with two or more power supply voltage.

[0002] In a semiconductor device in recent years it has a circuit which operates with power supply voltage which is different in order to attain low power consumption and there are some which were considered as the composition which supplies power supply voltage as occasion demands for every circuit of the. A level converter is used as an interface between the circuits where power supply voltage differs and high reliability is demanded of the operation.

[0003]

[Description of the Prior Art] Drawing 10 shows the outputting part of a semiconductor device which operates with two kinds of power supply voltage. It is reversed with the inverter 52 and the signal A outputted from the internal circuit 50 which operates with the power supply voltage of 3v is inputted into the level converter 51 as a signal A bar while it is inputted into the level converter 51. Therefore one side of the signal A and A bar is a signal with which ground GND and another side are set to 3v.

[0004] If said signal A and the reversed signal A bar are inputted into the level converter 51 the signal A will be changed and outputted to the signal B with which the amplitude is set to 5v from a ground level. This signal B is buffered with CMOS inverter 53 which comprises P channel MOS transistor Tr1 and N-channel metal oxide semiconductor transistor Tr2 and operates with the power supply voltage of 5v and is outputted from the output terminal 54.

[0005] Drawing 11 shows the conventional level converter 51. The power supply voltage of 5v is supplied to the source of P channel MOS transistor Tr3 and Tr5. The drain of transistor Tr3 is connected to the drain of N-channel metal oxide semiconductor transistor Tr4 and the drain of said transistor Tr5 is connected to the drain of N-channel metal oxide semiconductor transistor Tr6. The source of said transistor Tr4 and Tr6 is connected to ground GND.

[0006] The drain N1 of said transistor Tr3 and Tr4 i.e. a node is connected to the gate of said transistor Tr5 and the drain N2 of said transistor Tr5 and Tr6 i.e. a node is connected to the gate of said transistor Tr3. Said node N2 is connected to the gate of CMOS inverter 55 which comprises P channel MOS transistor Tr7 and N-channel metal oxide semiconductor transistor Tr8 and operates with the power supply voltage of 5v.

[0007] Said signal A is inputted into the gate of said transistor Tr6 and said signal A bar is inputted into the gate of said transistor Tr4. And said signal B is outputted from the drain of CMOS inverter 55. Said transistor Tr4 and Tr6 are provided with bigger current driving capacity than said transistor Tr3 and Tr5.

[0008] In the level converter 51 constituted in this way if H level (3v) and a signal A bar serve as L level (grand level) in the signal A while one [transistor Tr6] transistor Tr4 is turned off. And transistor Tr5 is turned off while one [transistor Tr3]. At this time the node N2 is L level (grand level) and the signal B of H level (5v) is outputted from CMOS inverter 55.

[0009] One [transistor Tr4] if L level (grand level) and a signal A bar serve as H level (3v) in the signal A while transistor Tr6 is turned off. And transistor Tr3 is turned off while one [transistor Tr5]. At this time the node N2 is H level (5v) and the signal B of L level (grand level) is outputted from CMOS inverter 55.

[0010] Therefore this level converter 51 changes the signal A with which that amplitude is set to 3v from a grand level and A bar into the signal B with which that amplitude is set to 5v from a grand level and is outputted.

[0011]

[Problem(s) to be Solved by the Invention] By the way in the semiconductor device which operates with two or more power supply voltage when the power supply voltage of two or more pressure values is supplied to the inside of a circuit in order to generate the low voltage from high tension generally with an electric power unit the power supply voltage of a high pressure value is previously supplied to the inside of a circuit.

[0012] After the power supply voltage of 5v is supplied for example as shown in drawing 12 when the power supply voltage of 3v and the power supply voltage of 5v are supplied to the inside of a circuit the power supply voltage of 3v is supplied after several microS (micro second). While being several microS to which the power supply voltage of 5v is supplied and the power supply voltage of 3v is not supplied it can be regarded as the state where all the signals in the circuit which operates with the power supply voltage of 3v are L level.

[0013] And even when both the said signals A and signal A bars that are the signals from the circuit which operates with the power supply voltage of 3v are L level the state where the power supply voltage of 5v is supplied to the level converter 51 arises.

[0014] Then since the power supply voltage of 5v is supplied to the drain of said transistor Tr3 and Tr5 where both transistor Tr4 and Tr6 are turned off the node N1 and N2 may become intermediate potential.

[0015] Therefore the input of CMOS inverter 55 serves as intermediate potential are one [both transistor Tr7 and Tr8] and there is a problem that penetration current will flow into grand GND from a power supply.

[0016] The output signal B of the level converter 51 serves as intermediate

potential are one [both transistor Tr1 and Tr2] and penetration current will flow into ground GND from a power supply. The large transistor of load driving capability is used this transistor Tr1 and Tr2. Therefore the penetration current which flows via transistor Tr1 and Tr2 serves as several 10 – 100 mA of numbers and a quite large current value. Therefore there is a problem that power consumption will increase. It becomes a cause which causes malfunction by latchup.

[0017] In the level converter used for the semiconductor device which operates with two or more power supply voltage there is the purpose of this invention in providing the level converter which stabilizes and operates also when the supplying period of two or more power supply voltage has a time lag.

[0018]

[Means for Solving the Problem] Drawing 1 is a principle explanatory view of an invention indicated to claim 1. That is a level converter is provided with the level conversion section 101 provided with the input buffer circuit 100 and the output hold circuit 102. The input buffer circuit 100 outputs the buffer signals X1 of a couple and X2 to the level conversion section 101 based on binary input signal A provided with amplitude based on low voltage power. The level conversion section 101 changes and outputs binary input signal A to binary output signal Y of amplitude based on high voltage power based on said buffer signals X1 and X2. The output hold circuit 102 outputs binary output signal Y based on these buffer signals X1 and potential difference of X2 when the buffer signals X1 and X2 change into an unfixed state.

[0019] In the level converter according to claim 1 the 1st and 2nd input terminals and output terminals of a CMOS inverter that operate by high voltage power are connected mutually and said output hold circuit and a level conversion section comprise the claim 2.

[0020] While the 1st input transistor is connected in series between an output terminal of said 1st CMOS inverter and a low voltage side power source said input buffer circuit between an output terminal of said 2nd CMOS inverter and a low voltage side power source it is connected in series the 2nd input transistor is constituted and said buffer signals are outputted by making either of said 1st and 2nd input transistors the one based on said binary input signal.

[0021] Said output hold circuit is equipped with an initial-value-setting circuit which sets up an initial value of said binary output signal at the time of an injection of high voltage power in claim 3. In said initial-value-setting circuit in claim 4 one output terminal of said 1st and 2nd CMOS inverters is connected to either of a high potential side power source and a low voltage side power source via capacity.

[0022] In claim 5 said initial-value-setting circuit One output terminal of said 1st and 2nd CMOS inverters Based on a transistor for initial value setting which intervenes between either a high potential side power source and a low voltage side power source and an injection of high voltage power it comprises a reset signal output circuit which carries out predetermined time one of said transistor for initial value setting.

[0023]Said initial-value-setting circuit is made into a value which differs in threshold voltage of said 1st and 2nd CMOS inverters and comprises the claim 6. At claim 7 said initial-value-setting circuit comprises said capacity and said 1st and 2nd CMOS inverters of a value from which threshold voltage differs.

[0024]In claim 8 an output circuit which an output buffer circuit drives based on a binary output signal of a level converter of a statement in any 1 paragraph of claims 1 thru/or 7 is made into a gist.

[0025]In claim 9 an output circuit where a transistor for pull-up control connected to a high potential side power source via resistance is opened and closed is made into a gist based on a binary output signal of a level converter given in any 1 paragraph of claims 3 thru/or 7.

[0026]In claim 10 an input output circuit where output mode which outputs an output signal to any 1 paragraph of claims 3 thru/or 7 from an output buffer circuit based on a binary output signal of a level converter of a statement and an input mode which changes an output signal of an output buffer circuit into an unfixed state are switched is made into a gist.

[0027](OPERATION) According to the invention according to claim 1 the output hold circuit 102 outputs binary output signal Y based on the buffer signals X1 and potential difference of X2 when the buffer signals X1 and X2 change into an unfixed state. Therefore even if the buffer signals X1 and X2 will be in an unfixed state the circuit operates normally.

[0028]According to the invention according to claim 2 said binary output signal is outputted from the 1st and 2nd CMOS inverters by the one [either of said 1st and 2nd input transistors] based on a binary input signal. In order that the 1st and 2nd CMOS inverters may operate so that the potential difference may be expanded if slight potential difference exists in the output terminal when buffer signals are unfixed either of the output terminal serves as H level and the other serves as L level. Therefore a binary output signal is outputted certainly.

[0029]According to the invention according to claim 3 an initial-value-setting circuit sets up an initial value of said binary output signal at the time of an injection of high voltage power. Therefore an injection of high voltage power will output a binary output signal of a set-up initial value from an output hold circuit.

[0030]According to the invention according to claim 4 if high voltage power is switched on capacity connected to a high potential side power source will be committed so that potential of a connected output terminal may be pulled up. If high voltage power is switched on capacity connected to a low voltage side power source will be committed so that potential of a connected output terminal may be reduced. Therefore an initial value of a binary output signal with which said buffer signals are outputted when high voltage power is switched on in the unfixed state is determined as either of the binary output signals.

[0031]According to the invention according to claim 5 a reset signal output circuit will

output a predetermined time reset signal if high voltage power is switched on. If high voltage power is switched on are one [a transistor for initial value setting connected to a high potential side power source / based on said reset signal] and it will work so that potential of an output terminal of a CMOS inverter may be pulled up. If high voltage power is switched on are one [a transistor for initial value setting connected to a low voltage side power source / based on said reset signal] and it will work so that potential of an output terminal of a CMOS inverter may be reduced. Therefore an initial value of a binary output signal with which said buffer signals are outputted when high voltage power is switched on in the unfixed state is determined as either of the binary output signals.

[0032] If high voltage power is supplied to a CMOS inverter with low threshold voltage and a CMOS inverter with high threshold voltage according to the invention according to claim 6 Since a direction of a CMOS inverter with low threshold voltage outputs H level previously an initial value of a binary output signal which said buffer signals output when high voltage power is switched on in the unfixed state is determined as either of the binary output signals.

[0033] If high voltage power is supplied to a CMOS inverter with low threshold voltage and a CMOS inverter with high threshold voltage according to the invention according to claim 7 Since a direction of a CMOS inverter with low threshold voltage outputs H level previously work of said capacity is assisted and said initial value is determined certainly.

[0034] According to the invention according to claim 8 since an output buffer circuit drives based on a binary output signal of a level converter of a statement in any 1 paragraph of claims 1 thru/or 7 the output circuit operates normally.

[0035] In order that a transistor for pull-up control connected to a high potential side power source via resistance may open and close based on a binary output signal of a level converter given in any 1 paragraph of claims 3 thru/or 7 according to the invention according to claim 9 A pull-up initial state when high voltage power is switched on for buffer signals in the unfixed state is set up.

[0036] Output mode which outputs an output signal to any 1 paragraph of claims 3 thru/or 7 from an output buffer circuit based on a binary output signal of a level converter of a statement according to the invention according to claim 10 Since an input mode which changes an output signal of an output buffer circuit into an unfixed state switches an initial state in the mode when high voltage power is switched on is set up.

[0037]

[Embodiment of the Invention]

(A 1st embodiment) Drawing 2 shows a 1st embodiment of the level converter which materialized this invention.

[0038] The output terminal of 1st CMOS inverter 2 that comprises P channel MOS transistor Tr11 and N-channel metal oxide semiconductor transistor Tr12 It is

connected to the input terminal of 2nd CMOS inverter 3 that comprises P channel MOS transistor Tr13 and N-channel metal oxide semiconductor transistor Tr14. The output terminal of 2nd CMOS inverter 3 is connected to the input terminal of 1st CMOS inverter 2. 1st and 2nd CMOS inverters 2 and 3 constitute the output hold circuit and the level conversion section from this embodiment.

[0039]The output terminal of 1st CMOS inverter 2 is connected to the drain of 1st input transistor Tr15 that comprises an N-channel metal oxide semiconductor transistor. The output terminal of 2nd CMOS inverter 3 is connected to the drain of 2nd input transistor Tr16 that comprises an N-channel metal oxide semiconductor transistor. The source of said 1st and 2nd input transistor Tr15 and Tr16 is connected to ground GND. The 1st and 2nd input transistor Tr15 and Tr16 constitute the input buffer circuit from this embodiment.

[0040]The output terminal N3 of said 2nd CMOS inverter 3i.e.a nodeis connected to the input terminal of 3rd CMOS inverter 4 that comprises P channel MOS transistor Tr17 and N-channel metal oxide semiconductor transistor Tr18. In this embodimentthe power supply of 5v which is high voltage power is supplied to the 1st – 3rd CMOS inverter 23and 4. The current driving capacity of said transistor Tr15 and Tr16 is set up become larger than the current driving capacity of said transistor Tr11 and Tr13.

[0041]The input signal A as a binary input signal is inputted into the gate of said transistor Tr16and the inversion signal A bar of said input signal A is inputted into the gate of said transistor Tr15. Said input signal A and A bar are outputted from the internal circuit which operates with the power supply of 3v which is low voltage powerand the amplitude is a range from a ground level to 3v.

[0042]In the level converter 1 constituted in this wayif H level (3v) and an input signal A bar serve as L level (grand level) in the input signal Awhile one [transistor Tr16]transistor Tr15 is turned off. Thenwhile one and transistor Tr12 are turned off for transistor Tr11one and transistor Tr13 are turned off for transistor Tr14. At this timethe node N3 is L level (grand level)L level (grand level) as a binary output signal is inputted into 3rd CMOS inverter 4and the output signal B of H level (5v) is outputted from 3rd CMOS inverter 4.

[0043]One [transistor Tr15] if L level (grand level) and an input signal A bar serve as H level (3v) in the input signal Awhile transistor Tr16 is turned off. Thenwhile one and transistor Tr14 are turned off for transistor Tr13one and transistor Tr11 are turned [a transistor] off for Tr12. At this timethe node N3 is H level (5v)H level (5v) as a binary output signal is inputted into 3rd CMOS inverter 4and the output signal B of L level (grand level) is outputted from 3rd CMOS inverter 4.

[0044]Thereforein this level converter 1the input signal A with which that amplitude is set to 3v from a grand leveland A bar are changed into the output signal B which serves as amplitude of 5v from a grand level.

[0045]When the power supply of 5v is supplied in advance of the current supply of 3v

at the time of the current supply to the semiconductor device provided with this level converter 1 both said input signal A and A bar are L levels but the power supply of 5v is supplied to the level converter 1.

[0046] Then although both transistor Tr15 and Tr16 are turned off in order to operate so that the potential difference may be expanded if potential difference with 1st and 2nd CMOS inverters 2 and 3 slight to the output terminal voltage exists based on the current supply of 5v to the level converter 1 as for the output terminal voltage in one side H level and another side serve as L level. Therefore the node N3 becomes either L level (grand level) or H level (5v) and the output signal B of H level (5v) and L level (grand level) is outputted from 3rd CMOS inverter 4.

[0047] Next the characteristic operation effect in a 1st above embodiment is indicated below.

(1) In the level converter 1 of this embodiment. When both the input signal A and A bar were L levels and the power supply voltage of 5v was switched on it was made for the node N3 to become H either L level (grand level) or a level (5v) by the output hold circuit which comprises 1st and 2nd CMOS inverters 2 and 3. Therefore in the level converter 1 penetration current does not flow into grand GND from a power supply and the output signal B does not serve as intermediate potential. The result guarantees the normal operation of a circuit attaining low power consumption of a semiconductor device.

[0048] (A 2nd embodiment) Drawing 3 shows a 2nd embodiment. The level converter 10 of this 2nd embodiment adds the 1st and 2nd capacity C1 and C2 to the level converter 1 of a 1st embodiment attaches identical codes about the 1st embodiment and identical configuration portion and omits that explanation.

[0049] The output terminal N4 of said 1st CMOS inverter 2 i.e. a node is connected to the power supply of 5v via the 1st capacity C1. Said node N3 is connected to grand GND via the 2nd capacity C2. The 1st and 2nd capacity C1 and C2 which were connected in this way constitute the initial-value-setting circuit from this embodiment.

[0050] With the level converter 10 constituted in this way the input signal A with which the amplitude is set to 3v from a grand level is changed into the output signal B which serves as amplitude of 5v from a grand level in the same operation as the level converter 1 of a 1st embodiment.

[0051] When the power supply of 5v is supplied in advance of the current supply of 3v at the time of the current supply to the semiconductor device provided with this level converter 10 both said input signal A and A bar are L levels but the power supply of 5v is supplied to the level converter 10.

[0052] If the power supply voltage of 5v is supplied to the level converter 10 when both transistor Tr15 and Tr16 are turned off the 1st and 2nd capacity C1 and C2 will cause coupling phenomena. These coupling phenomena are committed so that the level of said node N4 may be lifted toward H level and so that the level of said node

N3 may be pulled down toward L level.

[0053]In this state when 1st and 2nd CMOS inverters 2 and 3 operate the node N3 serves as L level (grand level) and the output signal B of H level (5v) is outputted from 3rd CMOS inverter 4. That is a power supply is switched on and the initial value of the level converter 10 when both transistor Tr15 and Tr16 are turned off is set to 1.

[0054]The characteristic operation effect in a 2nd above embodiment is indicated below.

(1) In the level converter 10 of this embodiment. If the power supply voltage of 5v is switched on when both the input signal A and A bar are L levels in addition to the same operation as said 1st embodiment according to the 1st and 2nd capacity C1 and the coupling phenomena which C2 causes the signal held in a holding circuit will serve as constant value and the output signal B will serve as H level (5v). Therefore in addition to the effect of a 1st embodiment the initial value of the level converter 10 when both transistor Tr15 and Tr16 are turned off can be set to 1. As a result operation of the circuit of the next step is certainly controllable.

[0055]A 2nd embodiment of the above may be changed as follows and may be carried out. O As shown in drawing 4 the node N4 may be connected to ground GND via the 1st capacity C1 and the node N3 may be connected to the power supply of 5v via the 2nd capacity C2.

[0056]In the level converter 15 connected in this way the signal held in a holding circuit serves as constant value like the level converter 10 of a 2nd embodiment and the output signal B serves as L level (grand level). Therefore in addition to the effect of a 1st embodiment the initial value of the level converter 15 of a power up can be set to 0. As a result operation of the circuit of the next step is certainly controllable.

[0057](A 3rd embodiment) Drawing 5 shows a 3rd embodiment. In the level converter 20 of this 3rd embodiment. Transistor Tr20 for initial value setting and the reset signal output circuit 21 which are constituted from an N-channel metal oxide semiconductor transistor by the level converter 1 of a 1st embodiment are applied identical codes are attached about the 1st embodiment and identical configuration portion and the explanation is omitted.

[0058]The output terminal N4 of said 1st CMOS inverter 2 i.e. a node is connected to the drain of N-channel metal oxide semiconductor transistor Tr20. The source of said transistor Tr20 is connected to ground GND. The gate of said transistor Tr20 is connected to the reset signal output circuit 21. Transistor Tr20 and the reset signal output circuit 21 which were connected in this way constitute the initial-value-setting circuit from this embodiment.

[0059]The reset signal output circuit 21 is a circuit which outputs the pulse signal used as a predetermined time H level as a reset signal when it operates with the power supply voltage of 5v and a power supply is switched on. The pulse width of said reset signal is set as sufficient time to make potential of the node N4 into a low based on the ON operation of transistor Tr20 more certainly than the node N3 after a

power supply is switched on.

[0060]With the level converter 20 constituted in this way the input signal A with which the amplitude is set to 3v from a grand level is changed into the output signal B which serves as amplitude of 5v from a grand level in the same operation as the level converter 1 of a 1st embodiment.

[0061]When the power supply of 5v is supplied in advance of the current supply of 3v at the time of the current supply to the semiconductor device provided with this level converter 20 both said input signal A and A bar are L levels but the power supply of 5v is supplied to the level converter 20.

[0062]One [a reset signal is outputted from the reset signal output circuit 21 and / said transistor Tr20] when both transistor Tr15 and Tr16 are turned off and the power supply voltage of 5v is supplied to the level converter 20. Then the node N4 serves as low voltage from the node N3.

[0063]In this state when 1st and 2nd CMOS inverters 2 and 3 operate in the node N4L level (grand level) and the node N3 serve as H level (5v) and the output signal B of L level (grand level) is outputted from 3rd CMOS inverter 4. That is a power supply is switched on and the initial value of the level converter 20 when both transistor Tr15 and Tr16 are turned off is set to 0.

[0064]The characteristic operation effect in a 3rd above embodiment is indicated below.

(1) In the level converter 20 of this embodiment. Since are one [the transistor Tr20] and the node N4 will be reduced from the node N3 if the power supply voltage of 5v is switched on when both the input signal A and A bar are L levels in the node N4L level (grand level) and the node N3 serve as H level (5v) by operation of a holding circuit and the output signal B serves as L level (grand level).

[0065]Therefore in addition to the effect of a 1st embodiment the initial value of the level converter 20 when both transistor Tr15 and Tr16 are turned off can be set to 0. As a result operation of the circuit of the next step is certainly controllable.

[0066](2) In the level converter 20 of this embodiment the 1st and 2nd capacity C1 of said 2nd embodiment and C2 are not needed but an initial value can be set up with the composition which formed transistor Tr20 and the reset signal output circuit 21. Since a power on reset circuit is built in a common semiconductor device in many cases it is not necessary to form the reset signal output circuit 21 in particular. Therefore area which the level converter 20 in the layout area of a semiconductor device occupies can be made small.

[0067]A 3rd embodiment of the above may be changed as follows and may be carried out.

O As shown in drawing 6 the drain of said transistor Tr20 may be connected to said node N3.

[0068]In the level converter 25 connected in this way since are one [transistor Tr20] and the node N3 is reduced from the node N4 in the same operation as the level

converter 20 of a 3rd embodiment the output signal B serves as H level (5v). Therefore in addition to the effect of a 1st embodiment the initial value of the level converter 25 of a power up can be set to 1. As a result operation of the circuit of the next step is certainly controllable. The same effect as (2) of the effect of a 2nd embodiment can be acquired.

[0069] (A 4th embodiment) Drawing 7 shows a 4th embodiment that materialized this invention to the output circuit of pull-up resistor control. In the output circuit of this pull-up resistor control since the level converter 10 of a 2nd embodiment is used the explanation about an operation of the level converter 10 is omitted.

[0070] It is reversed with the inverter 31 which operates with the power supply voltage of 3v and the control signal P from the internal circuit 50 which operates with the power supply voltage of 3v is inputted into the level converter 10 as signal P Bar while it is inputted into the level converter 10.

[0071] In the level converter 10 the signal P with which the amplitude is set to 3v from a grand level and P Bar are changed into the signal Q which serves as amplitude of 5v from a grand level. The signal Q outputted from the level converter 10 is inputted into the gate of transistor Tr30 for pull-up control which comprises a P channel MOS transistor. The source of transistor Tr30 is connected to the power supply of 5v via the resistance R and the drain of transistor Tr30 is connected to the external terminal 32. The output circuit of the level converter 10 the resistance R and pull-up resistor control in transistor Tr30 comprises this embodiment.

[0072] In the output circuit of the pull-up resistor control constituted in this way. If L level (grand level) and a signal P bar serve as H level (3v) in the control signal P the signal Q serves as L level (grand level) and are one [transistor Tr30] and the output voltage outputted from the external terminal 32 will be set to 5v.

[0073] If H level (3v) and a signal P bar serve as L level (grand level) in the control signal P the signal Q serves as H level (5v) transistor Tr30 will be turned off and the external terminal 32 will be in a high impedance state.

[0074] As mentioned above the initial value of the signal Q of the power up in said level converter 10 is H level (5v). Therefore the initial state of the power up of the external terminal 32 turns into a high impedance state.

[0075] The characteristic operation effect in a 4th above embodiment is indicated below.

(1) In the output circuit of pull-up resistor control of this embodiment if the power supply voltage of 5v is switched on when both signals P and P bars that are inputted are L level the signal Q of H level (5v) will be outputted with the level converter 10 and the external terminal 32 will be in a high impedance state.

[0076] Therefore while the amplitude makes controllable the output circuit of the pull-up resistor control with the control signal P set to 3v from a grand level (i.e. while attaining low power consumption) the normal operation of the output circuit of pull-up resistor control is guaranteed. The initial state of the output circuit of pull-up resistor

control in case both the signal P and P bar are L levels of operation can be made into a high impedance state.

[0077](A 5th embodiment) Drawing 8 shows a 5th embodiment that materialized this invention to the input output circuit 40. In this input output circuit 40 since the level converter 10 (initial value 1) of a 2nd embodiment and the level converter 15 (initial value 0) of example of another are used the explanation about an operation of the level converters 10 and 15 is omitted.

[0078]The input/output control signal C outputted from an internal circuit is a signal used as H level when using the terminal 41 as an output terminal. The data D outputted from an internal circuit is outputted from the terminal 41 when using the terminal 41 as an output terminal. The amplitude of these signals C and D is 3v from a grand level.

[0079]In this input output circuit 40 the input/output control signal C is inputted into NOR circuit 44 via the inverter 43 while it is inputted into NAND circuit 42. The data D is inputted into NOR circuit 44 while it is inputted into NAND circuit 42.

[0080]It is reversed with the inverter 45 and the output signal E of NAND circuit 42 is inputted into the level converter 10 as a signal E bar while it is inputted into said level converter 10.

[0081]It is reversed with the inverter 46 and the output signal F of NOR circuit 44 is inputted into the level converter 15 as a signal F bar while it is inputted into said level converter 15. Said each logic circuits 42-46 operate with the power supply of 3v.

[0082]The signal G outputted from the level converter 10 is inputted into the gate of 1st input-and-output transistor Tr40 that comprises a P channel MOS transistor. The source of transistor Tr40 is connected to the power supply of 5v. The signal H outputted from the level converter 15 is inputted into the gate of 2nd input-and-output transistor Tr41 that comprises an N-channel metal oxide semiconductor transistor. The source of transistor Tr41 is connected to grand GND.

[0083]It is connected mutually and the drain of said transistor Tr40 and Tr41 constitutes the node N5 and the node N5 is connected to the internal circuit of a semiconductor device via the input buffer 47 while being connected to the terminal 41.

[0084]In the input output circuit 40 constituted in this way if the input/output control signal C serves as L level (grand level) the signal E is fixed on H level (3v) and the signal F is fixed on L level (grand level).

[0085]Then the signals E and F with which the amplitude is set to 3v from a grand level with the level converters 10 and 15 as mentioned above are changed into the signals G and H which serve as amplitude of 5v from a grand level. Therefore both said transistor Tr40 and Tr41 are turned off and become an input mode. In this state if a signal is inputted into the terminal 41 that signal will turn into the input signal In via the input buffer 47 and will be supplied to an internal circuit.

[0086]If the input/output control signal C serves as H level (3v) the signals E and F will turn into an inversion signal of the data D. Then the signals E and F with which the

amplitude is set to 3v from a grand level with the level converters 10 and 15 as mentioned above are changed into the signals G and H which serve as amplitude of 5v from a grand level. Therefore if the data D serves as H level (3v) while one [said transistor Tr40] said transistor Tr41 is turned off. One [said transistor Tr41] if the data D serves as L level (grand level) while said transistor Tr40 is turned off. That is it becomes the output mode [one / based on the data D / output mode / T either transistor Tr40 or 41]. And from the terminal 41 the data D in which the amplitude is set to 5v from a grand level is outputted.

[0087] When the power supply of 5v is supplied in advance of the current supply of 3v at the time of the current supply to the semiconductor device provided with these level converters 10 and 15 all of said signal E and E bar and F and F bar are L level but the power supply of 5v is supplied to the level converters 10 and 15.

[0088] As mentioned above the initial value of the signal G of the power up in said level converter 10 is H level (5v). The initial value of the signal H of the power up in said level converter 15 is L level (grand level).

[0089] Therefore transistor Tr40 and Tr41 are turned off. As a result the initial state of the power up of this input output circuit 40 serves as an input mode. The characteristic operation effect in a 5th above embodiment is indicated below.

[0090] (1) Where all of the signal E and E bar which are inputted into the level converters 10 and 15 F and F bar are set to L level in the input output circuit 40 of this embodiment even if the power supply voltage of 5v is supplied to a power up. The signal G of H level (5v) is outputted from the level converter 10 and the signal H of L level (grand level) is outputted from the level converter 15. Therefore while transistor Tr40 and Tr41 are certainly turned off and do not send unnecessary current outside from the terminal 41 penetration current does not flow into grand GND from a power supply. The current from the outside is not sent through grand GND.

[0091] A 5th embodiment of the above may be changed as follows and may be carried out.

O As shown in drawing 9 the level converters 10 and 15 may be changed into the level converter 25 (initial value 1) of example of another of said 3rd embodiment and the level converter 20 (initial value 0) of said 3rd embodiment. It is necessary to connect the reset signal output circuit 21 to the level converters 25 and 20 at this time.

[0092] In addition to the effect of a 5th embodiment and the same effect in such an input output circuit 48 the same effect as (2) of the effect of a 3rd embodiment can be acquired. Each above-mentioned embodiment may be changed as follows and may be carried out.

[0093] O Although the threshold voltage of 1st and 2nd CMOS inverters 2 and 3 explained as the same value by a 1st embodiment of the above the threshold voltage of 1st CMOS inverter 2 may be set as a value higher than the threshold voltage of 2nd CMOS inverter 3 for example. 1st and 2nd CMOS inverters 2 and 3 constitute the initial-value-setting circuit from this example of another.

[0094]If the power supply voltage of 5v is switched on when it does in this way and both the input signal A and A bar are L levelsthe direction of 2nd CMOS inverter 3 will output H level previouslyand the state will be held. Thereforethe node N3 serves as H level (5v)and the output signal B of L level (grand level) is outputted from 3rd CMOS inverter 4. That isthis initial value is set to 0. The threshold voltage of 2nd CMOS inverter 3 may be set as a value higher than the threshold voltage of 1st CMOS inverter 2. If the power supply voltage of 5v is switched on when it does in this way and both the input signal A and A bar are L levelsthe node N3 will serve as L level (grand level)and the output signal B of H level (5v) will be outputted from 3rd CMOS inverter 4. That isthis initial value is set to 1.

[0095]Thereforean initial value can be set upwithout making the number of transistors increase.

O In the level converter 10 of a 2nd embodiment of the abovethe threshold voltage of 2nd CMOS inverter 3 may be set as a value higher than the threshold voltage of 1st CMOS inverter 2. In the level converter 15 of example of anotherthe threshold voltage of 1st CMOS inverter 2 may be set as a value higher than the threshold voltage of 2nd CMOS inverter 3. 1st and 2nd CMOS inverters 2 and 3and the 1st and 2nd capacity C1 and C2 constitute the initial-value-setting circuit from this example of another.

[0096]If it does in this waywork of the 1st and 2nd capacity C1 and the coupling phenomena of C2 is compensatedand an initial value can be set up certainly.

O in the level converter 10 of a 2nd embodiment of the above -- 1st and 2nd capacity C1 and C2 -- inner -- either may be omitted. For examplein order to commit the 2nd capacity C2 so that the level of said node N3 may be pulled down toward L level even when the 1st capacity C1 is omittedthe node N3 is held on L level. In order tocommit the 1st capacity C1 for exampleso that the level of said node N4 may be pulled up toward H level even when the 2nd capacity C2 is omittedthe node N3 is held on L level. Thereforethis initial value is set to 1. As a resultthe number of capacity can be lessened and the initial value "1" can be set up. In the level converter 15 of example of anothereither may be omitted among 1st and 2nd capacity C1 and C2. If it does in this waythe number of capacity can be lessened and the initial value "0" can be set up.

[0097]O The level converters 1101520and 25 of each above-mentioned embodiment and example of another may be changed to the level converter 51 of drawing 10and it may connect. In the output circuit which will consist of the output buffer circuit 53 which comprises the level converters 1101520and 25 and a CMOS inverter if it does in this wayIf the power supply voltage of 5v is switched on when the power supply voltage of 3v is not supplied to the internal circuit 50 (i.e.when both the input signal A and A bar are L levels)The output signal B outputted from the level converters 1101520and 25 becomes H either L level (grand level) or a level (5v). Thereforeare one [neither said transistor Tr1 of the output buffer circuit 53nor Tr2]and

penetration current does not flow into grand GND from a power supply. The result guarantees the normal operation of an output circuitattaining low power consumption of a semiconductor device. Since the initial value of an output circuit is also decided when the level converters 101520and 25 with which the initial value was set up are usedoperation of the circuit connected to said output terminal 54 is certainly controllable.

[0098]O According to a 4th embodiment of the abovealthough the level converter 10 was usedit may change to the level converter 10 and the level converter 25 may be used. Even if it does in this waythe effect of a 4th embodiment and the same effect can be acquired. Area which the level converter 25 in the layout area of a semiconductor device occupies can be made small.

[0099]It may change to the level converter 10 and the level converters 15 and 20 may be used. If the power supply voltage of 5v is switched on when it does in this way and both the signal P inputted and P Bar are L levelsthe external terminal 32 will be in a high impedance state. Thereforeoperation of the circuit of the next step is certainly controllable.

[0100]O The power supply of 3v and 5v of each above-mentioned embodiment and example of another may be carried out as a power supply of other pressure values.

O In the level converters 20 and 25 of a 3rd embodiment of the aboveand example of anotheralthough the sauce of said transistor Tr20 assumed that it is connected to grand GNDit may be connected to the power supply of 5v. An initial value will be reversed if it does in this way.

[0101]

[Effect of the Invention]As explained in full detail aboveaccording to the invention according to claim 1even if buffer signals are unfixedthe circuit operates normally.

[0102]According to the invention according to claim 2a binary output signal is outputted certainly. According to the invention according to claim 3if high voltage power is switched onfrom an output hold circuitthe binary output signal of the set-up initial value will be outputted.

[0103]According to the invention according to claim 4 to 7the initial value of the binary output signal which said buffer signals output when high voltage power is switched on in the unfixed state is determined as either of the binary output signals.

[0104]According to the invention according to claim 8the output circuit operates normally. According to the invention according to claim 9a pull-up initial state when high voltage power is switched on for buffer signals in the unfixed state is set up.

[0105]According to the invention according to claim 10the initial state in the mode when high voltage power is switched on for buffer signals in the unfixed state is set up.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The principle explanatory view of this invention.

[Drawing 2] The circuit diagram showing the level converter of a 1st embodiment.

[Drawing 3] The circuit diagram showing the level converter (initial value 1) of a 2nd embodiment.

[Drawing 4] The circuit diagram showing the level converter (initial value 0) of example of another of a 2nd embodiment.

[Drawing 5] The circuit diagram showing the level converter (initial value 0) of a 3rd embodiment.

[Drawing 6] The circuit diagram showing the level converter (initial value 1) of example of another of a 3rd embodiment.

[Drawing 7] The circuit diagram showing the output circuit of pull-up resistor control of a 4th embodiment.

[Drawing 8] The circuit diagram showing the input output circuit of a 5th embodiment.

[Drawing 9] The circuit diagram showing example of another of the input output circuit of a 5th embodiment.

[Drawing 10] The circuit diagram showing an outputting part.

[Drawing 11] The circuit diagram showing the conventional level converter.

[Drawing 12] The wave form chart showing the difference of the making time of power supply voltage.

[Description of Notations]

100 Input buffer circuit

101 Level conversion section

102 Output hold circuit

A Binary input signal

X1X2 buffer signals

Y Binary output signal

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-336007

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁶

H 03 K 19/0175
19/0185
19/003

識別記号

F I

H 03 K 19/00
19/003
19/00

1 0 1 A
B
1 0 1 E

(21)出願番号

特願平9-139739

(22)出願日

平成9年(1997)5月29日

審査請求 未請求 請求項の数10 O.L (全 11 頁)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 加藤 勉

愛知県春日井市高蔵寺町2丁目1844番2
富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

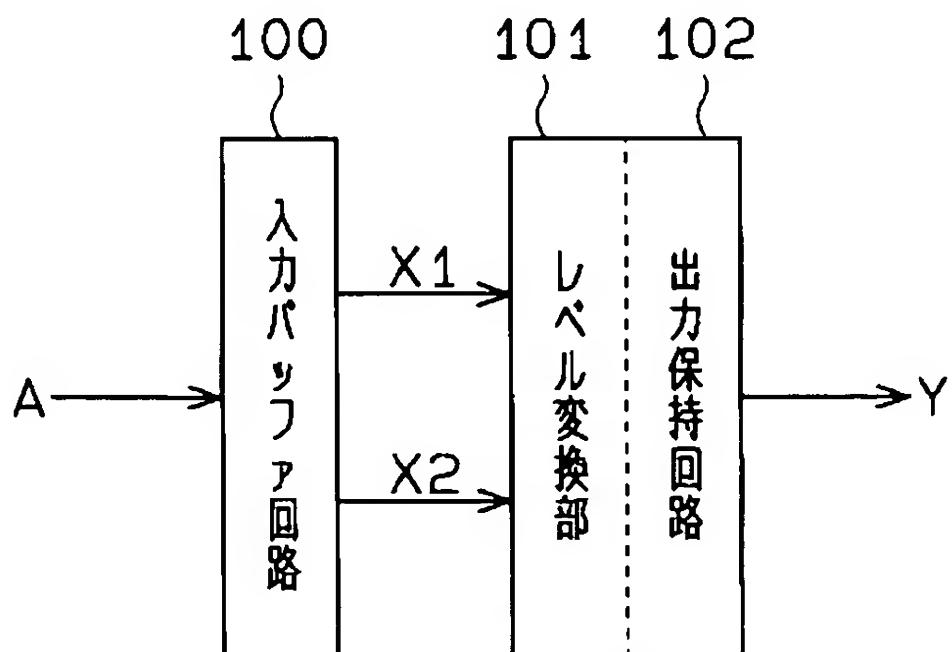
(54)【発明の名称】 レベルコンバータ、出力回路及び入出力回路

(57)【要約】

【課題】複数の電源電圧で動作する半導体装置に使用されるレベルコンバータにおいて、複数の電源電圧の投入時期に時間差がある場合にも安定して動作するレベルコンバータを提供する。

【解決手段】レベルコンバータは入力バッファ回路100と、出力保持回路102を備えたレベル変換部101を備える。入力バッファ回路100は低電圧電源に基づく振幅を備えた2値入力信号Aに基づいて、一対のバッファ信号X1, X2をレベル変換部101に出力する。レベル変換部101はバッファ信号X1, X2に基づいて、2値入力信号Aを高電圧電源に基づく振幅の2値出力信号Yに変換して出力する。出力保持回路102はバッファ信号X1, X2が不定状態となったとき、バッファ信号X1, X2の電位差に基づいて2値出力信号Yを出力する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 低電圧電源に基づく振幅を備えた2値入力信号が入力される入力バッファ回路と、前記入力バッファ回路から出力される一対のバッファ信号に基づいて、前記2値入力信号を高電圧電源に基づく振幅の2値出力信号に変換して出力するレベル変換部とを備えたレベルコンバータであって、前記レベル変換部には、前記バッファ信号が不定状態となったとき、該バッファ信号の電位差に基づいて前記2値出力信号を出力する出力保持回路を備えたことを特徴とするレベルコンバータ。

【請求項2】 前記出力保持回路及びレベル変換部は高電圧電源で動作する第1及び第2のCMOSインバータの入力端子と出力端子とを互いに接続して構成し、前記入力バッファ回路は、前記第1のCMOSインバータの出力端子と低電位側電源との間に第1の入力トランジスタを直列に接続するとともに、前記第2のCMOSインバータの出力端子と低電位側電源との間に第2の入力トランジスタを直列に接続して構成し、前記2値入力信号に基づいて前記第1及び第2の入力トランジスタのいずれか一方をオンさせることにより、前記バッファ信号を出力することを特徴とする請求項1に記載のレベルコンバータ。

【請求項3】 前記出力保持回路には、高電圧電源の投入時の前記2値出力信号の初期値を設定する初期値設定回路を備えたことを特徴とする請求項1又は2に記載のレベルコンバータ。

【請求項4】 前記初期値設定回路は、前記第1及び第2のCMOSインバータのいずれかの出力端子を容量を介して高電位側電源と低電位側電源とのいずれかに接続したことを特徴とする請求項3に記載のレベルコンバータ。

【請求項5】 前記初期値設定回路は、前記第1及び第2のCMOSインバータのいずれかの出力端子と、高電位側電源及び低電位側電源のいずれかとの間に介在される初期値設定用トランジスタと、高電圧電源の投入に基づいて、前記初期値設定用トランジスタを所定時間オンさせるリセット信号出力回路とから構成することを特徴とする請求項3に記載のレベルコンバータ。

【請求項6】 前記初期値設定回路は、前記第1及び第2のCMOSインバータのスレッショルド電圧を異なる値として構成することを特徴とする請求項3に記載のレベルコンバータ。

【請求項7】 前記初期値設定回路は、前記容量と、スレッショルド電圧が異なる値の前記第1及び第2のCMOSインバータとから構成することを特徴とする請求項4に記載のレベルコンバータ。

【請求項8】 請求項1乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて出力バッフ

ア回路を駆動することを特徴とする出力回路。

【請求項9】 請求項3乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて、抵抗を介して高電位側電源に接続されたプルアップ制御用トランジスタを開閉することを特徴とする出力回路。

【請求項10】 請求項3乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて、出力バッファ回路から出力信号を出力する出力モードと、出力バッファ回路の出力信号を不定状態とする入力モードとを切り換えることを特徴とする入出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の電源電圧で動作する半導体装置に使用されるレベルコンバータに関するものである。

【0002】 近年の半導体装置では、低消費電力化を図るために異なる電源電圧で動作する回路を備え、その回路毎に必要に応じた電源電圧を供給する構成としたものがある。電源電圧の異なる回路間のインターフェイスとしてレベルコンバータが使用され、その動作に高い信頼性が要求されている。

【0003】

【従来の技術】 図10は、2種類の電源電圧で動作する半導体装置の出力部を示す。3Vの電源電圧で動作する内部回路50から出力される信号Aは、レベルコンバータ51に入力されるとともに、インバータ52にて反転されて信号Aバーとしてレベルコンバータ51に入力される。従って、信号A, Aバーは一方がグランドGND、他方が3Vとなる信号である。

【0004】 レベルコンバータ51に前記信号A及び反転された信号Aバーが入力されると、信号Aはその振幅がグランドレベルから5Vとなる信号Bに変換されて出力される。この信号Bは、PチャネルMOSトランジスタTr1と、NチャネルMOSトランジスタTr2とで構成され5Vの電源電圧で動作するCMOSインバータ53でバッファリングされて出力端子54から出力される。

【0005】 図11は、従来のレベルコンバータ51を示す。PチャネルMOSトランジスタTr3, Tr5のソースには5Vの電源電圧が供給される。トランジスタTr3のドレインは、NチャネルMOSトランジスタTr4のドレインに接続され、前記トランジスタTr5のドレインは、NチャネルMOSトランジスタTr6のドレインに接続されている。前記トランジスタTr4, Tr6のソースはグランドGNDに接続されている。

【0006】 前記トランジスタTr3, Tr4のドレイン、即ちノードN1は前記トランジスタTr5のゲートに接続され、前記トランジスタTr5, Tr6のドレイン、即ちノードN2は前記トランジスタTr3のゲートに接続されている。また、前記ノードN2はPチャネルMOSトランジスタTr7と、NチャネルMOSトランジスタTr8とで

構成され5vの電源電圧で動作するCMOSインバータ55のゲートに接続されている。

【0007】前記トランジスタTr6のゲートには前記信号Aが入力され、前記トランジスタTr4のゲートには前記信号Aバーが入力される。そして、CMOSインバータ55のドレインから前記信号Bが出力される。尚、前記トランジスタTr4, Tr6は前記トランジスタTr3, Tr5より大きな電流駆動能力を備える。

【0008】このように構成されたレベルコンバータ51では、信号AがHレベル(3v)、信号AバーがLレベル(グランドレベル)となれば、トランジスタTr6がオンされるとともに、トランジスタTr4がオフされる。そして、トランジスタTr3がオンされるとともに、トランジスタTr5がオフされる。このとき、ノードN2はLレベル(グランドレベル)であり、CMOSインバータ55からはHレベル(5v)の信号Bが出力される。

【0009】信号AがLレベル(グランドレベル)、信号AバーがHレベル(3v)となれば、トランジスタTr6がオフされるとともに、トランジスタTr4がオンされる。そして、トランジスタTr5がオフされるとともに、トランジスタTr3がオフされる。このとき、ノードN2はHレベル(5v)であり、CMOSインバータ55からはLレベル(グランドレベル)の信号Bが出力される。

【0010】従って、このレベルコンバータ51は、その振幅がグランドレベルから3vとなる信号A, Aバーを、その振幅がグランドレベルから5vとなる信号Bに変換して出力する。

【0011】

【発明が解決しようとする課題】ところで、複数の電源電圧で動作する半導体装置において、複数の電圧値の電源電圧が回路内部に供給される場合、電源装置では一般的に高電圧から低電圧を生成するため、回路内部には高い電圧値の電源電圧が先に供給される。

【0012】3vの電源電圧と、5vの電源電圧が回路内部に供給される場合、例えば、図12に示すように、5vの電源電圧が供給されてから、数μS(マイクロセコンド)後に3vの電源電圧が供給される。5vの電源電圧が供給されていて、3vの電源電圧が供給されていない数μSの間は、3vの電源電圧で動作する回路内の全ての信号がLレベルになっている状態とみなすことができる。

【0013】そして、3vの電源電圧で動作する回路からの信号である前記信号A及び信号Aバーが共にLレベルのときでも、レベルコンバータ51に5vの電源電圧が供給される状態が生じる。

【0014】すると、トランジスタTr4, Tr6は共にオフされた状態で前記トランジスタTr3, Tr5のドレインに5vの電源電圧が供給されているため、ノードN1, N2が中間電位となることがある。

【0015】従って、CMOSインバータ55の入力が中間電位となり、トランジスタTr7, Tr8が共にオンされ、電源からグランドGNDに貫通電流が流れてしまうという問題がある。

【0016】又、レベルコンバータ51の出力信号Bも中間電位となり、トランジスタTr1, Tr2が共にオンされ、電源からグランドGNDに貫通電流が流れることとなる。このトランジスタTr1, Tr2は負荷駆動能力の大きいトランジスタが用いられている。従って、トランジスタTr1, Tr2を介して流れる貫通電流は、数10～数100ミリアンペアとかなり大きい電流値となる。よって、消費電力が増大してしまうという問題がある。また、ラッチアップによる誤動作を引き起こす原因となる。

【0017】この発明の目的は、複数の電源電圧で動作する半導体装置に使用されるレベルコンバータにおいて、複数の電源電圧の投入時期に時間差がある場合にも安定して動作するレベルコンバータを提供することにある。

【0018】

【課題を解決するための手段】図1は請求項1に記載した発明の原理説明図である。すなわち、レベルコンバータは入力バッファ回路100と、出力保持回路102を備えたレベル変換部101を備える。入力バッファ回路100は低電圧電源に基づく振幅を備えた2値入力信号Aに基づいて、一对のバッファ信号X1, X2をレベル変換部101に出力する。レベル変換部101は前記バッファ信号X1, X2に基づいて、2値入力信号Aを高電圧電源に基づく振幅の2値出力信号Yに変換して出力する。出力保持回路102はバッファ信号X1, X2が不定状態となったとき、該バッファ信号X1, X2の電位差に基づいて2値出力信号Yを出力する。

【0019】請求項2では、請求項1に記載のレベルコンバータにおいて、前記出力保持回路及びレベル変換部は高電圧電源で動作する第1及び第2のCMOSインバータの入力端子と出力端子とが互いに接続されて構成される。

【0020】前記入力バッファ回路は、前記第1のCMOSインバータの出力端子と低電位側電源との間に第1の入力トランジスタが直列に接続されるとともに、前記第2のCMOSインバータの出力端子と低電位側電源との間に第2の入力トランジスタが直列に接続されて構成され、前記2値入力信号に基づいて前記第1及び第2の入力トランジスタのいずれか一方をオンさせることにより、前記バッファ信号が出力される。

【0021】請求項3では、前記出力保持回路には、高電圧電源の投入時の前記2値出力信号の初期値を設定する初期値設定回路が備えられる。請求項4では、前記初期値設定回路は、前記第1及び第2のCMOSインバータのいずれかの出力端子が容量を介して高電位側電源と低電位側電源とのいずれかに接続される。

【0022】請求項5では、前記初期値設定回路は、前記第1及び第2のCMOSインバータのいずれかの出力端子と、高電位側電源及び低電位側電源のいずれかとの間に介在される初期値設定用トランジスタと、高電圧電源の投入に基づいて、前記初期値設定用トランジスタを所定時間オンさせるリセット信号出力回路とから構成される。

【0023】請求項6では、前記初期値設定回路は、前記第1及び第2のCMOSインバータのスレッショルド電圧が異なる値とされて構成される。請求項7では、前記初期値設定回路は、前記容量と、スレッショルド電圧が異なる値の前記第1及び第2のCMOSインバータとから構成される。

【0024】請求項8では、請求項1乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて出力バッファ回路が駆動される出力回路を要旨としている。

【0025】請求項9では、請求項3乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて、抵抗を介して高電位側電源に接続されたプルアップ制御用トランジスタが開閉される出力回路を要旨としている。

【0026】請求項10では、請求項3乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて、出力バッファ回路から出力信号を出力する出力モードと、出力バッファ回路の出力信号を不定状態とする入力モードとが切り換えられる入出力回路を要旨としている。

【0027】(作用) 請求項1に記載の発明によれば、出力保持回路102は、バッファ信号X1, X2が不定状態となったときにはバッファ信号X1, X2の電位差に基づいて2値出力信号Yを出力する。従って、バッファ信号X1, X2が不定状態となっても、回路が正常に動作する。

【0028】請求項2に記載の発明によれば、2値入力信号に基づいて前記第1及び第2の入力トランジスタのいずれか一方がオンされることにより、第1及び第2のCMOSインバータから前記2値出力信号が出力される。第1及び第2のCMOSインバータは、その出力端子に僅かな電位差が存在すれば、その電位差を拡大するように動作するため、バッファ信号が不定状態となったときには、その出力端子のいずれか一方はHレベル、他方はLレベルとなる。従って、2値出力信号が確実に出力される。

【0029】請求項3に記載の発明によれば、初期値設定回路は、高電圧電源の投入時の前記2値出力信号の初期値を設定する。従って、高電圧電源が投入されると、出力保持回路からは設定された初期値の2値出力信号が出力される。

【0030】請求項4に記載の発明によれば、高電位側

電源に接続された容量は、高電圧電源が投入されると、接続された出力端子の電位を引き上げるように働く。又、低電位側電源に接続された容量は、高電圧電源が投入されると、接続された出力端子の電位を引き下げるよう働く。従って、前記バッファ信号が不定状態で高電圧電源が投入されたときに出力される2値出力信号の初期値が、2値出力信号のいずれかに決定される。

【0031】請求項5に記載の発明によれば、リセット信号出力回路は高電圧電源が投入されると、所定時間リセット信号を出力する。高電位側電源に接続された初期値設定用トランジスタは、高電圧電源が投入されると、前記リセット信号に基づいてオンされて、CMOSインバータの出力端子の電位を引き上げるように働く。又、低電位側電源に接続された初期値設定用トランジスタは、高電圧電源が投入されると、前記リセット信号に基づいてオンされて、CMOSインバータの出力端子の電位を引き下げるよう働く。従って、前記バッファ信号が不定状態で高電圧電源が投入されたときに出力される2値出力信号の初期値が、2値出力信号のいずれかに決定される。

【0032】請求項6に記載の発明によれば、スレッショルド電圧が低いCMOSインバータとスレッショルド電圧が高いCMOSインバータに高電圧電源が投入されると、スレッショルド電圧が低いCMOSインバータの方が先にHレベルを出力するため、前記バッファ信号が不定状態で高電圧電源が投入されたときに出力する2値出力信号の初期値が、2値出力信号のいずれかに決定される。

【0033】請求項7に記載の発明によれば、スレッショルド電圧が低いCMOSインバータとスレッショルド電圧が高いCMOSインバータに高電圧電源が投入されると、スレッショルド電圧が低いCMOSインバータの方が先にHレベルを出力するため、前記容量の働きに加勢して確実に前記初期値が決定される。

【0034】請求項8に記載の発明によれば、請求項1乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて出力バッファ回路が駆動するため、出力回路が正常に動作する。

【0035】請求項9に記載の発明によれば、請求項3乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて、抵抗を介して高電位側電源に接続されたプルアップ制御用トランジスタが開閉するため、バッファ信号が不定状態で高電圧電源が投入されたときのプルアップ初期状態が設定される。

【0036】請求項10に記載の発明によれば、請求項3乃至7のいずれか1項に記載のレベルコンバータの2値出力信号に基づいて、出力バッファ回路から出力信号を出力する出力モードと、出力バッファ回路の出力信号を不定状態とする入力モードとが切り換わるため、高電圧電源が投入されたときのモードの初期状態が設定され

る。

【0037】

【発明の実施の形態】

(第1の実施の形態) 図2は、本発明を具体化したレベルコンバータの第1の実施の形態を示す。

【0038】PチャネルMOSトランジスタTr11とNチャネルMOSトランジスタTr12とで構成される第1のCMOSインバータ2の出力端子は、PチャネルMOSトランジスタTr13とNチャネルMOSトランジスタTr14とで構成される第2のCMOSインバータ3の入力端子に接続されている。又、第2のCMOSインバータ3の出力端子は第1のCMOSインバータ2の入力端子に接続されている。本実施の形態では、第1及び第2のCMOSインバータ2, 3が出力保持回路及びレベル変換部を構成している。

【0039】第1のCMOSインバータ2の出力端子は、NチャネルMOSトランジスタで構成される第1の入力トランジスタTr15のドレインに接続され、第2のCMOSインバータ3の出力端子は、NチャネルMOSトランジスタで構成される第2の入力トランジスタTr16のドレインに接続されている。前記第1及び第2の入力トランジスタTr15, Tr16のソースはグランドGNに接続されている。本実施の形態では、第1及び第2の入力トランジスタTr15, Tr16が入力バッファ回路を構成している。

【0040】前記第2のCMOSインバータ3の出力端子、即ちノードN3は、PチャネルMOSトランジスタTr17とNチャネルMOSトランジスタTr18とで構成される第3のCMOSインバータ4の入力端子に接続されている。尚、本実施の形態では、第1～第3のCMOSインバータ2, 3, 4には高電圧電源である5Vの電源が供給されている。又、前記トランジスタTr15, Tr16の電流駆動能力は前記トランジスタTr11, Tr13の電流駆動能力より大きくなるように設定されている。

【0041】前記トランジスタTr16のゲートには、2値入力信号としての入力信号Aが入力され、前記トランジスタTr15のゲートには前記入力信号Aの反転信号Aバーが入力される。前記入力信号A, Aバーは低電圧電源である3Vの電源で動作する内部回路から出力され、その振幅はグランドレベルから3Vまでの範囲である。

【0042】このように構成されたレベルコンバータ1では、入力信号AがHレベル(3V)、入力信号AバーがLレベル(グランドレベル)となれば、トランジスタTr16がオンされるとともに、トランジスタTr15がオフされる。すると、トランジスタTr11がオン、トランジスタTr12がオフされるとともに、トランジスタTr14がオン、トランジスタTr13がオフされる。このとき、ノードN3はLレベル(グランドレベル)であり、第3のCMOSインバータ4に2値出力信号としてのLレベル(グランドレベル)が入力され、第3のCMOS

インバータ4からはHレベル(5V)の出力信号Bが出力される。

【0043】入力信号AがLレベル(グランドレベル)、入力信号AバーがHレベル(3V)となれば、トランジスタTr16がオフされるとともに、トランジスタTr15がオンされる。すると、トランジスタTr13がオン、トランジスタTr14がオフされるとともに、トランジスタTr12がオフされるとともに、トランジスタTr11がオフされる。このとき、ノードN3はHレベル(5V)であり、第3のCMOSインバータ4に2値出力信号としてのHレベル(5V)が入力され、第3のCMOSインバータ4からはLレベル(グランドレベル)の出力信号Bが出力される。

【0044】従って、このレベルコンバータ1では、その振幅がグランドレベルから3Vとなる入力信号A, Aバーが、グランドレベルから5Vの振幅となる出力信号Bに変換される。

【0045】このレベルコンバータ1を備えた半導体装置への電源供給時に3Vの電源供給に先立って5Vの電源が供給されると、前記入力信号A, Aバーは共にLレベルであるが、レベルコンバータ1には5Vの電源が供給される。

【0046】すると、トランジスタTr15, Tr16が共にオフされているが、レベルコンバータ1への5Vの電源供給に基づいて、第1及び第2のCMOSインバータ2, 3は、その出力端子電圧に僅かな電位差が存在すれば、その電位差を拡大するように動作するため、その出力端子電圧は一方がHレベル、他方がLレベルとなる。従って、ノードN3はLレベル(グランドレベル)か、Hレベル(5V)のどちらかとなり、第3のCMOSインバータ4からはHレベル(5V)か、Lレベル(グランドレベル)の出力信号Bが出力される。

【0047】次に、上記のような第1の実施の形態における特徴的な作用効果を以下に記載する。

(1) 本実施の形態のレベルコンバータ1では、入力信号A, Aバーが共にLレベルのときに5Vの電源電圧が投入されると、第1及び第2のCMOSインバータ2, 3で構成される出力保持回路によりノードN3がLレベル(グランドレベル)か、Hレベル(5V)のいずれかとなるようにした。従って、レベルコンバータ1において電源からグランドGNに貫通電流が流れることはなく、出力信号Bが中間電位となることもない。その結果、半導体装置の低消費電力化を図りながら、回路の正常動作が保証される。

【0048】(第2の実施の形態) 図3は、第2の実施の形態を示す。この第2の実施の形態のレベルコンバータ10は、第1の実施の形態のレベルコンバータ1に第1及び第2の容量C1, C2を加えたものであり、第1の実施の形態と同一構成部分については同一符号を付してその説明を省略する。

【0049】前記第1のCMOSインバータ2の出力端子、即ちノードN4は、第1の容量C1を介して5vの電源に接続されている。前記ノードN3は第2の容量C2を介してグランドGNDに接続されている。本実施の形態では、このように接続された第1及び第2の容量C1, C2が初期値設定回路を構成している。

【0050】このように構成されたレベルコンバータ10では、第1の実施の形態のレベルコンバータ1と同様の動作で、その振幅がグランドレベルから3vとなる入力信号Aが、グランドレベルから5vの振幅となる出力信号Bに変換される。

【0051】このレベルコンバータ10を備えた半導体装置への電源供給時に3vの電源供給に先立って5vの電源が供給されると、前記入力信号A, Aバーは共にLレベルであるが、レベルコンバータ10には5vの電源が供給される。

【0052】トランジスタTr15, Tr16が共にオフされているとき、レベルコンバータ10に5vの電源電圧が投入されると、第1及び第2の容量C1, C2はカップリング現象を起こす。このカップリング現象は前記ノードN4のレベルをHレベルに向かって持ち上げるように、かつ、前記ノードN3のレベルをLレベルに向かって引き下げるよう働く。

【0053】この状態で、第1及び第2のCMOSインバータ2, 3が動作することにより、ノードN3はLレベル（グランドレベル）となり、第3のCMOSインバータ4からはHレベル（5v）の出力信号Bが出力される。即ち、電源が投入されて、トランジスタTr15, Tr16が共にオフされているときのレベルコンバータ10の初期値は1となる。

【0054】上記のような第2の実施の形態における特徴的な作用効果を以下に記載する。

(1) 本実施の形態のレベルコンバータ10では、入力信号A, Aバーが共にLレベルのときに5vの電源電圧が投入されると、前記第1の実施の形態と同様の作用に加え、第1及び第2の容量C1, C2が起こすカップリング現象により、保持回路に保持される信号が一定値となり、出力信号BはHレベル（5v）となる。従って、第1の実施の形態の効果に加え、トランジスタTr15, Tr16が共にオフされているときのレベルコンバータ10の初期値を1とすることができます。その結果、次段の回路の動作を確実に制御することができます。

【0055】上記第2の実施の形態は以下のように変更して実施してもよい。○図4に示すように、ノードN4を第1の容量C1を介してグランドGNDに接続し、ノードN3を第2の容量C2を介して5vの電源に接続してもよい。

【0056】このように接続したレベルコンバータ15では、第2の実施の形態のレベルコンバータ10と同様に、保持回路に保持される信号が一定値となり、出力信

号BはLレベル（グランドレベル）となる。従って、第1の実施の形態の効果に加え、電源投入時のレベルコンバータ15の初期値を0とすることができます。その結果、次段の回路の動作を確実に制御することができます。

【0057】（第3の実施の形態）図5は、第3の実施の形態を示す。この第3の実施の形態のレベルコンバータ20では、第1の実施の形態のレベルコンバータ1にNチャネルMOSトランジスタで構成される初期値設定用トランジスタTr20及びリセット信号出力回路21を加えたものであり、第1の実施の形態と同一構成部分については同一符号を付してその説明を省略する。

【0058】前記第1のCMOSインバータ2の出力端子、即ち、ノードN4は、NチャネルMOSトランジスタTr20のドレインに接続されている。前記トランジスタTr20のソースはグランドGNDに接続されている。前記トランジスタTr20のゲートはリセット信号出力回路21に接続されている。本実施の形態では、このように接続されたトランジスタTr20及びリセット信号出力回路21が初期値設定回路を構成している。

【0059】リセット信号出力回路21は、5vの電源電圧で動作し、電源が投入されたとき所定時間Hレベルとなるパルス信号をリセット信号として出力する回路である。尚、前記リセット信号のパルス幅は、電源が投入されてからトランジスタTr20のオン動作に基づいてノードN4の電位をノードN3より確実に低レベルとするために十分な時間に設定されている。

【0060】このように構成されたレベルコンバータ20では、第1の実施の形態のレベルコンバータ1と同様の動作で、その振幅がグランドレベルから3vとなる入力信号Aが、グランドレベルから5vの振幅となる出力信号Bに変換される。

【0061】このレベルコンバータ20を備えた半導体装置への電源供給時に3vの電源供給に先立って5vの電源が供給されると、前記入力信号A, Aバーは共にLレベルであるが、レベルコンバータ20には5vの電源が供給される。

【0062】トランジスタTr15, Tr16が共にオフされているとき、レベルコンバータ20に5vの電源電圧が投入されると、リセット信号出力回路21からはリセット信号が出力され、前記トランジスタTr20はオンされる。すると、ノードN4がノードN3より低電位となる。

【0063】この状態で、第1及び第2のCMOSインバータ2, 3が動作することによりノードN4がLレベル（グランドレベル）、ノードN3がHレベル（5v）となり、第3のCMOSインバータ4からはLレベル（グランドレベル）の出力信号Bが出力される。即ち、電源が投入されて、トランジスタTr15, Tr16が共にオフされているときのレベルコンバータ20の初期値は0となる。

【0064】上記のような第3の実施の形態における特徴的な作用効果を以下に記載する。

(1) 本実施の形態のレベルコンバータ20では、入力信号A, Aバーが共にLレベルのときに5vの電源電圧が投入されると、そのトランジスタTr20がオンされてノードN4がノードN3より引き下げられるため、保持回路の動作によりノードN4がLレベル(グランドレベル)、ノードN3がHレベル(5v)となり、出力信号BはLレベル(グランドレベル)となる。

【0065】従って、第1の実施の形態の効果に加え、トランジスタTr15, Tr16が共にオフされているときのレベルコンバータ20の初期値を0とすることができる。その結果、次段の回路の動作を確実に制御することができる。

【0066】(2) 本実施の形態のレベルコンバータ20では、前記第2の実施の形態の第1及び第2の容量C1, C2を必要とせず、トランジスタTr20及びリセット信号出力回路21を設けた構成で初期値を設定できる。また、一般的な半導体装置にはパワーオンリセット回路が内蔵される場合が多いため、リセット信号出力回路21は特に設ける必要はない。従って、半導体装置のレイアウト面積におけるレベルコンバータ20の占める面積を小さくすることができる。

【0067】上記第3の実施の形態は以下のように変更して実施してもよい。

○図6に示すように、前記トランジスタTr20のドレインを前記ノードN3に接続してもよい。

【0068】このように接続したレベルコンバータ25では、第3の実施の形態のレベルコンバータ20と同様の動作で、トランジスタTr20がオンされてノードN3がノードN4より引き下げられるため、出力信号BはHレベル(5v)となる。従って、第1の実施の形態の効果に加え、電源投入時のレベルコンバータ25の初期値を1とすることができる。その結果、次段の回路の動作を確実に制御することができる。又、第2の実施の形態の効果の(2)と同様の効果を得ることができる。

【0069】(第4の実施の形態) 図7は、本発明をプルアップ抵抗制御の出力回路に具体化した第4の実施の形態を示す。尚、このプルアップ抵抗制御の出力回路では、第2の実施の形態のレベルコンバータ10を使用しているため、レベルコンバータ10の作用についての説明は省略する。

【0070】3vの電源電圧で動作する内部回路50からの制御信号Pはレベルコンバータ10に入力されるとともに、3vの電源電圧で動作するインバータ31にて反転されて信号Pバーとしてレベルコンバータ10に入力される。

【0071】レベルコンバータ10では、その振幅がグランドレベルから3vとなる信号P, Pバーが、グランドレベルから5vの振幅となる信号Qに変換される。レ

ベルコンバータ10から出力される信号QはPチャネルMOSトランジスタで構成されるプルアップ制御用トランジスタTr30のゲートに入力される。トランジスタTr30のソースは抵抗Rを介して5vの電源に接続され、トランジスタTr30のドレインは外部端子32に接続されている。尚、本実施の形態では、レベルコンバータ10、抵抗R、及び、トランジスタTr30にてプルアップ抵抗制御の出力回路が構成されている。

【0072】このように構成されたプルアップ抵抗制御の出力回路では、制御信号PがLレベル(グランドレベル)、信号PバーがHレベル(3v)となれば、信号QがLレベル(グランドレベル)となり、トランジスタTr30がオンされ、外部端子32から出力される出力電圧は5vとなる。

【0073】また、制御信号PがHレベル(3v)、信号PバーがLレベル(グランドレベル)となれば、信号QがHレベル(5v)となり、トランジスタTr30がオフされ、外部端子32はハイインピーダンス状態となる。

【0074】前述したように、前記レベルコンバータ10における電源投入時の信号Qの初期値はHレベル(5v)である。従って、外部端子32の電源投入時の初期状態はハイインピーダンス状態となる。

【0075】上記のような第4の実施の形態における特徴的な作用効果を以下に記載する。

(1) 本実施の形態のプルアップ抵抗制御の出力回路では、入力される信号P, Pバーが共にLレベルのときに5vの電源電圧が投入されると、レベルコンバータ10にてHレベル(5v)の信号Qが outputされ、外部端子32はハイインピーダンス状態となる。

【0076】従って、その振幅がグランドレベルから3vとなる制御信号Pにてプルアップ抵抗制御の出力回路を制御可能としながら、即ち、低消費電力化を図りながら、プルアップ抵抗制御の出力回路の正常動作が保証される。又、信号P, Pバーが共にLレベルのときのプルアップ抵抗制御の出力回路の動作初期状態をハイインピーダンス状態とすることができる。

【0077】(第5の実施の形態) 図8は、本発明を入出力回路40に具体化した第5の実施の形態を示す。尚、この入出力回路40では、第2の実施の形態のレベルコンバータ10(初期値1)及び別例のレベルコンバータ15(初期値0)を使用しているため、レベルコンバータ10, 15の作用についての説明は省略する。

【0078】内部回路から出力される入出力制御信号Cは、端子41を出力端子として使用するときHレベルとなる信号である。又、内部回路から出力されるデータDは端子41を出力端子として使用するとき、端子41から出力される。尚、この信号C, Dの振幅はグランドレベルから3vである。

【0079】この入出力回路40において、入出力制御

信号Cは NAND 回路42に入力されるとともに、インバータ43を介してノア回路44に入力される。データDは NAND 回路42に入力されるとともに、ノア回路44に入力される。

【0080】 NAND 回路42の出力信号Eは、前記レベルコンバータ10に入力されるとともに、インバータ45にて反転されて信号Eバーとしてレベルコンバータ10に入力される。

【0081】 ノア回路44の出力信号Fは前記レベルコンバータ15に入力されるとともに、インバータ46にて反転されて信号Fバーとしてレベルコンバータ15に入力される。尚、前記各論理回路42～46は3vの電源で動作する。

【0082】 レベルコンバータ10から出力される信号GはPチャネルMOSトランジスタで構成される第1の入出力トランジスタTr40のゲートに入力される。トランジスタTr40のソースは5vの電源に接続されている。レベルコンバータ15から出力される信号HはNチャネルMOSトランジスタで構成される第2の入出力トランジスタTr41のゲートに入力される。トランジスタTr41のソースはグランドGNDに接続されている。

【0083】 前記トランジスタTr40, Tr41のドラインは互いに接続されてノードN5を構成し、そのノードN5は端子41に接続されるとともに、入力バッファ47を介して半導体装置の内部回路に接続されている。

【0084】 このように構成された入出力回路40では、入出力制御信号CがLレベル(グランドレベル)となれば、信号EがHレベル(3v)で固定され、信号FがLレベル(グランドレベル)で固定される。

【0085】 すると、前述したようにレベルコンバータ10, 15にてその振幅がグランドレベルから3vとなる信号E, Fがグランドレベルから5vの振幅となる信号G, Hに変換される。従って、前記トランジスタTr40, Tr41は共にオフされて、入力モードとなる。この状態で、端子41に信号が入力されると、その信号が入力バッファ47を介して入力信号Inとなり内部回路に供給される。

【0086】 入出力制御信号CがHレベル(3v)となれば、信号E, FがデータDの反転信号となる。すると、前述したようにレベルコンバータ10, 15にてその振幅がグランドレベルから3vとなる信号E, Fが、グランドレベルから5vの振幅となる信号G, Hに変換される。従って、データDがHレベル(3v)となれば、前記トランジスタTr40がオンされるとともに、前記トランジスタTr41がオフされる。又、データDがLレベル(グランドレベル)となれば、前記トランジスタTr40がオフされるとともに、前記トランジスタTr41がオンされる。即ち、データDに基づいてトランジスタTr40, Tr41のいずれかがオンする出力モードとなる。そして、端子41からはその振幅がグランドレベル

から5vとなるデータDが出力される。

【0087】 このレベルコンバータ10, 15を備えた半導体装置への電源供給時に3vの電源供給に先立って5vの電源が供給されると、前記信号E, Eバー, F, Fバーは全てLレベルであるが、レベルコンバータ10, 15には5vの電源が供給される。

【0088】 前述したように、前記レベルコンバータ10における電源投入時の信号Gの初期値はHレベル(5v)である。又、前記レベルコンバータ15における電源投入時の信号Hの初期値はLレベル(グランドレベル)である。

【0089】 従って、トランジスタTr40, Tr41がオフされる。その結果、この入出力回路40の電源投入時の初期状態は入力モードとなる。上記のような第5の実施の形態における特徴的な作用効果を以下に記載する。

【0090】 (1) 本実施の形態の入出力回路40では、電源投入時にレベルコンバータ10, 15に入力される信号E, Eバー, F, Fバーが全てLレベルとなつた状態で5vの電源電圧が投入されても、レベルコンバータ10からHレベル(5v)の信号Gが出力され、レベルコンバータ15からLレベル(グランドレベル)の信号Hが出力される。従って、トランジスタTr40, Tr41が確実にオフされ、端子41から外部に不要な電流を流すことはないとともに、電源からグランドGNDに貫通電流が流れることはない。又、外部からの電流をグランドGNDに流してしまうこともない。

【0091】 上記第5の実施の形態は以下のように変更して実施してもよい。

○図9に示すように、レベルコンバータ10, 15を前記第3の実施の形態の別例のレベルコンバータ25(初期値1)と前記第3の実施の形態のレベルコンバータ20(初期値0)に変更してもよい。このとき、レベルコンバータ25, 20にリセット信号出力回路21を接続する必要がある。

【0092】 このような入出力回路48では、第5の実施の形態の効果と同様の効果に加え、第3の実施の形態の効果の(2)と同様の効果を得ることができる。又、上記各実施の形態は以下のように変更して実施してもよい。

【0093】 ○上記第1の実施の形態では、第1及び第2のCMOSインバータ2, 3のスレッショルド電圧が同じ値として説明したが、例えば、第1のCMOSインバータ2のスレッショルド電圧を第2のCMOSインバータ3のスレッショルド電圧より高い値に設定してもよい。この別例では、第1及び第2のCMOSインバータ2, 3が初期値設定回路を構成している。

【0094】 このようにすると、入力信号A, Aバーが共にLレベルのときに5vの電源電圧が投入されると、第2のCMOSインバータ3の方が先にHレベルを出力し、その状態が保持される。従って、ノードN3はHレ

ベル (5 v) となり、第3のCMOSインバータ4からはLレベル (グランドレベル) の出力信号Bが出力される。即ち、この初期値は0となる。又、第2のCMOSインバータ3のスレッショルド電圧を第1のCMOSインバータ2のスレッショルド電圧より高い値に設定してもよい。このようにすると、入力信号A, Aバーが共にLレベルのときに5 vの電源電圧が投入されると、ノードN3はLレベル (グランドレベル) となり、第3のCMOSインバータ4からはHレベル (5 v) の出力信号Bが出力される。即ち、この初期値は1となる。

【0095】従って、トランジスタの数を増加させることなく初期値を設定することができる。

○上記第2の実施の形態のレベルコンバータ10において、第2のCMOSインバータ3のスレッショルド電圧を第1のCMOSインバータ2のスレッショルド電圧より高い値に設定してもよい。又、別例のレベルコンバータ15において、第1のCMOSインバータ2のスレッショルド電圧を第2のCMOSインバータ3のスレッショルド電圧より高い値に設定してもよい。この別例では、第1及び第2のCMOSインバータ2, 3と、第1及び第2の容量C1, C2が初期値設定回路を構成している。

【0096】このようにすると、第1及び第2の容量C1, C2のカップリング現象の働きが補われ、確実に初期値を設定することができる。

○上記第2の実施の形態のレベルコンバータ10において、第1及び第2の容量C1, C2の内いずれか一方を省略してもよい。例えば、第1の容量C1を省略した場合でも、第2の容量C2は前記ノードN3のレベルをLレベルに向かって引き下げるよう働くため、ノードN3はLレベルで保持される。又、例えば、第2の容量C2を省略した場合でも、第1の容量C1は前記ノードN4のレベルをHレベルに向かって引き上げるように働くため、ノードN3はLレベルで保持される。従って、この初期値は1となる。その結果、容量の個数を少なくして初期値「1」を設定することができる。尚、別例のレベルコンバータ15において、第1及び第2の容量C1, C2の内いずれか一方を省略してもよい。このようにすると、容量の個数を少なくして初期値「0」を設定することができる。

【0097】○上記各実施の形態及び別例のレベルコンバータ1, 10, 15, 20, 25を図10のレベルコンバータ51に換えて接続してもよい。このようにすると、レベルコンバータ1, 10, 15, 20, 25と、CMOSインバータで構成される出力バッファ回路53とからなる出力回路において、内部回路50に3 vの電源電圧が供給されていないときに、即ち、入力信号A, Aバーが共にLレベルのときに5 vの電源電圧が投入されると、レベルコンバータ1, 10, 15, 20, 25から出力される出力信号BはLレベル (グランドレベ

ル) か、Hレベル (5 v) のいずれかとなる。従って、出力バッファ回路53の前記トランジスタTr1, Tr2が共にオンされることなく、電源からグランドGNDに貫通電流が流れることはない。その結果、半導体装置の低消費電力化を図りながら、出力回路の正常動作が保証される。又、初期値が設定されたレベルコンバータ10, 15, 20, 25を用いた場合、出力回路の初期値も決まるため、前記出力端子54に接続される回路の動作を確実に制御することができる。

【0098】○上記第4の実施の形態では、レベルコンバータ10を使用したが、レベルコンバータ10に換えてレベルコンバータ25を使用してもよい。このようにしても、第4の実施の形態の効果と同様の効果を得ることができる。又、半導体装置のレイアウト面積におけるレベルコンバータ25の占める面積を小さくすることができる。

【0099】又、レベルコンバータ10に換えてレベルコンバータ15, 20を使用してもよい。このようにすると、入力される信号P, Pバーが共にLレベルのときに5 vの電源電圧が投入されると、外部端子32はハイインピーダンス状態となる。従って、次段の回路の動作を確実に制御することができる。

【0100】○上記各実施の形態及び別例の3 v及び5 vの電源を他の電圧値の電源として実施してもよい。

○上記第3の実施の形態及び別例のレベルコンバータ20, 25では、前記トランジスタTr20のソースはグランドGNDに接続されているとしたが、5 vの電源に接続してもよい。このようにすると、初期値が反転する。

【0101】

【発明の効果】以上詳述したように請求項1に記載の発明によれば、バッファ信号が不定状態となっても、回路が正常に動作する。

【0102】請求項2に記載の発明によれば、2値出力信号が確実に出力される。請求項3に記載の発明によれば、高電圧電源が投入されると、出力保持回路からは設定された初期値の2値出力信号が出力される。

【0103】請求項4～7に記載の発明によれば、前記バッファ信号が不定状態で高電圧電源が投入されたときに出力する2値出力信号の初期値が、2値出力信号のいずれかに決定される。

【0104】請求項8に記載の発明によれば、出力回路が正常に動作する。請求項9に記載の発明によれば、バッファ信号が不定状態で高電圧電源が投入されたときのプルアップ初期状態が設定される。

【0105】請求項10に記載の発明によれば、バッファ信号が不定状態で高電圧電源が投入されたときのモードの初期状態が設定される。

【図面の簡単な説明】

【図1】本発明の原理説明図。

【図2】第1の実施の形態のレベルコンバータを示す回路図。

【図3】第2の実施の形態のレベルコンバータ（初期値1）を示す回路図。

【図4】第2の実施の形態の別例のレベルコンバータ（初期値0）を示す回路図。

【図5】第3の実施の形態のレベルコンバータ（初期値0）を示す回路図。

【図6】第3の実施の形態の別例のレベルコンバータ（初期値1）を示す回路図。

【図7】第4の実施の形態のプルアップ抵抗制御の出力回路を示す回路図。

【図8】第5の実施の形態の入出力回路を示す回路図。

【図9】第5の実施の形態の入出力回路の別例を示す回路図。

【図10】出力部を示す回路図。

【図11】従来のレベルコンバータを示す回路図。

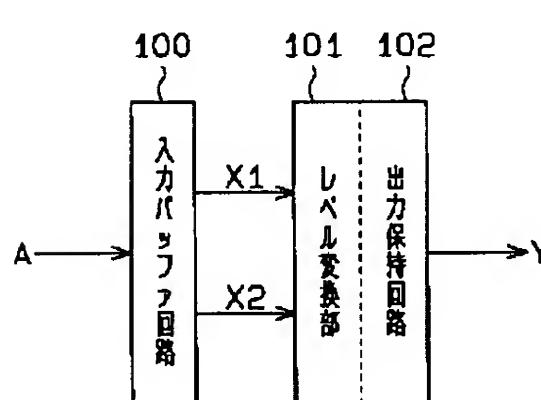
【図12】電源電圧の投入時間の差を示す波形図。

【符号の説明】

100	入力バッファ回路
101	レベル変換部
102	出力保持回路
A	2値入力信号
X1, X2	バッファ信号
Y	2値出力信号

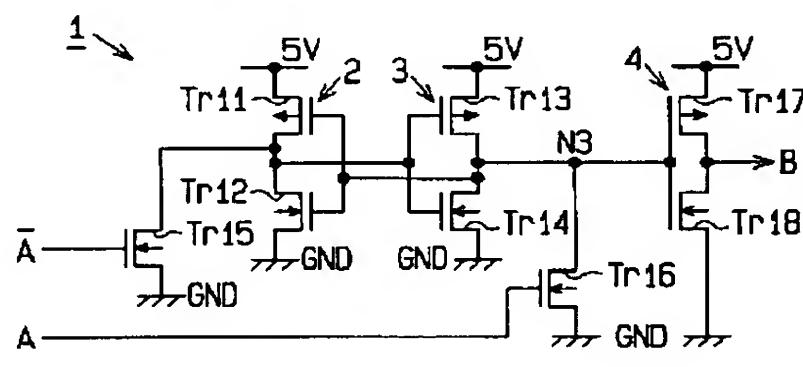
【図1】

本発明の原理説明図



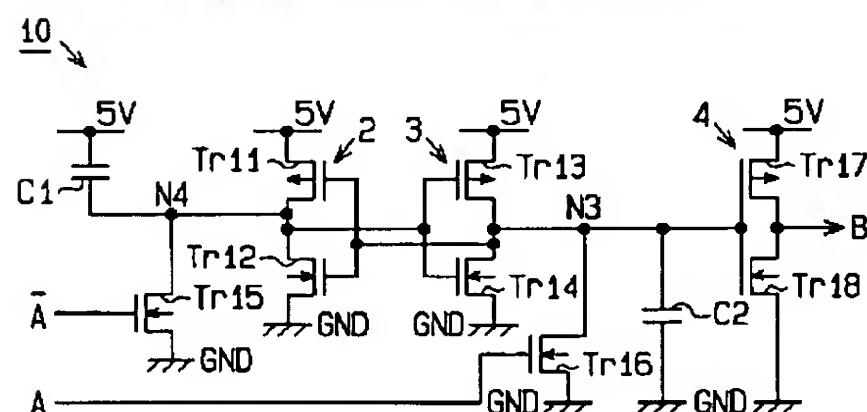
【図2】

第1の実施の形態のレベルコンバータを示す回路図



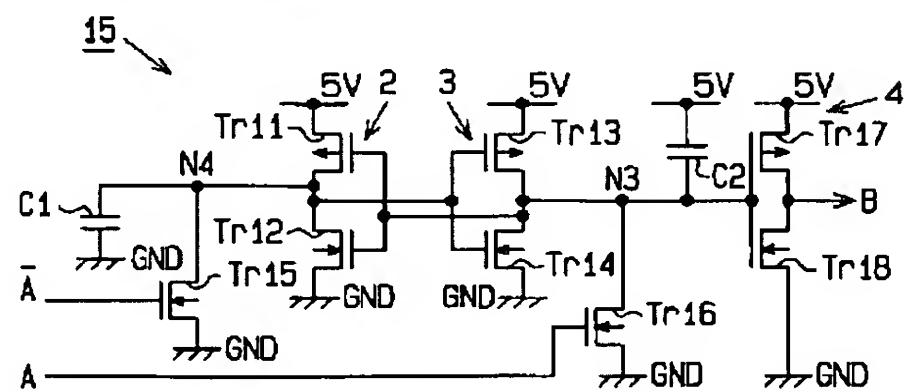
【図3】

第2の実施の形態のレベルコンバータ（初期値1）を示す回路図



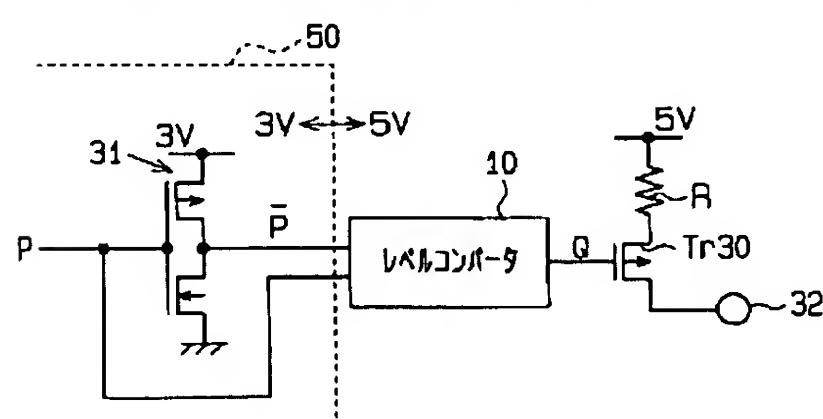
【図4】

第2の実施の形態の別例のレベルコンバータ（初期値0）を示す回路図



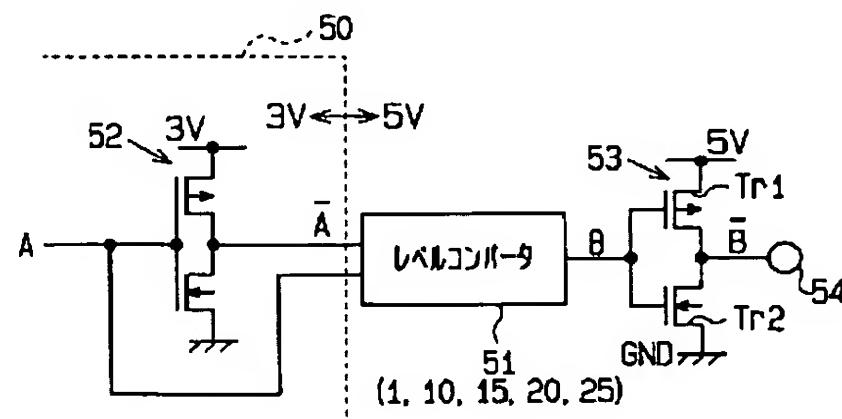
【図7】

第4の実施の形態のプルアップ抵抗制御の出力回路を示す回路図



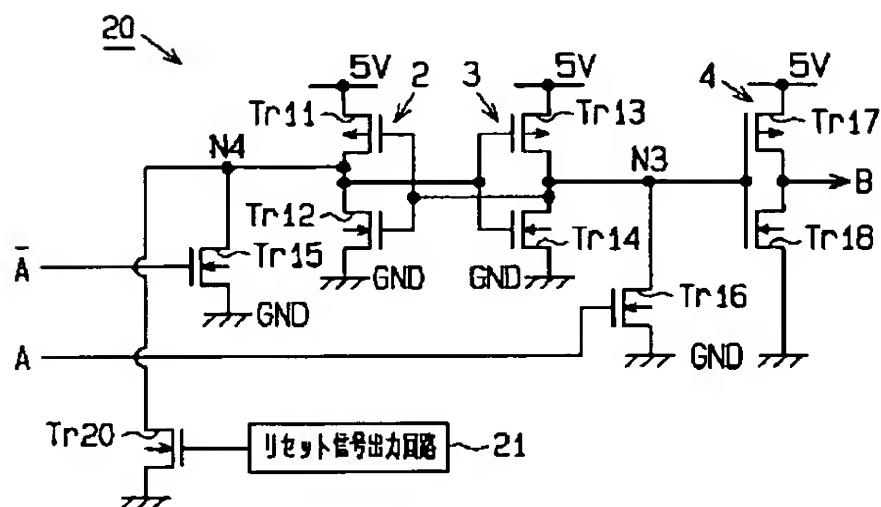
【図10】

出力部を示す回路図



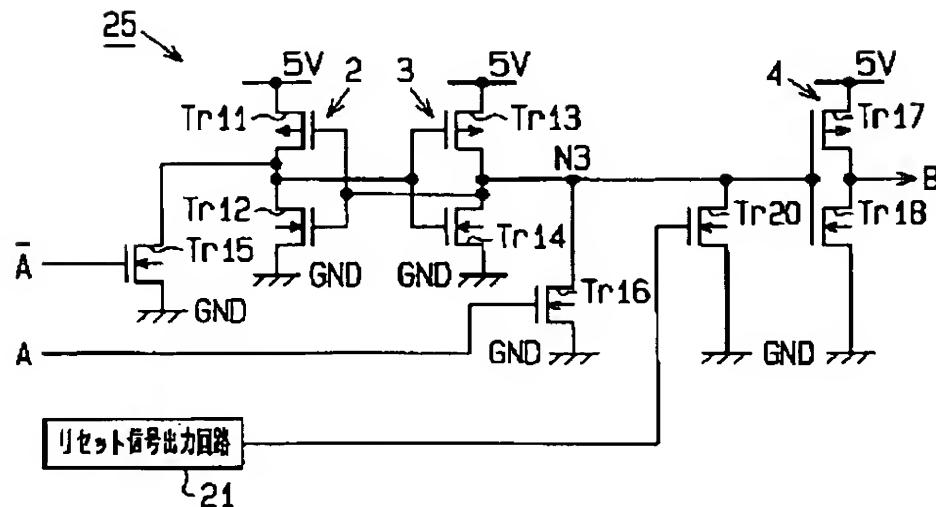
【図5】

第3の実施の形態のレベルコンバータ(初期値0)を示す回路図



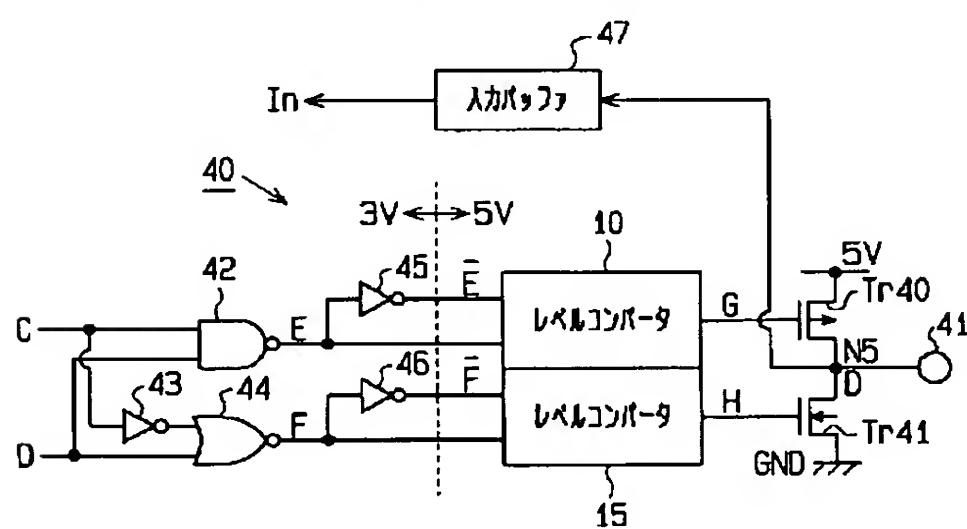
【図6】

第3の実施の形態の別例のレベルコンバータ(初期値1)を示す回路図



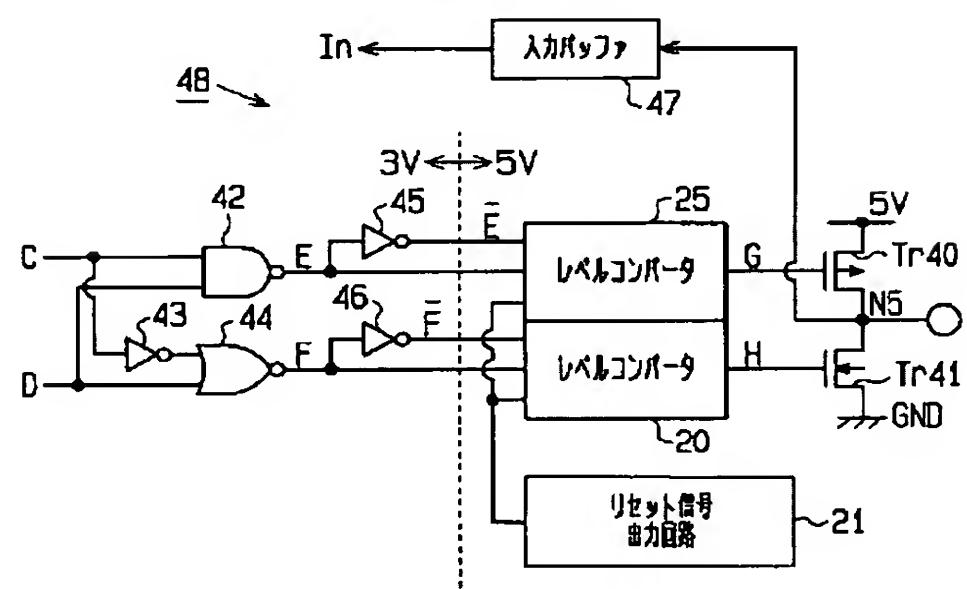
【図8】

第5の実施の形態の入出力回路を示す回路図



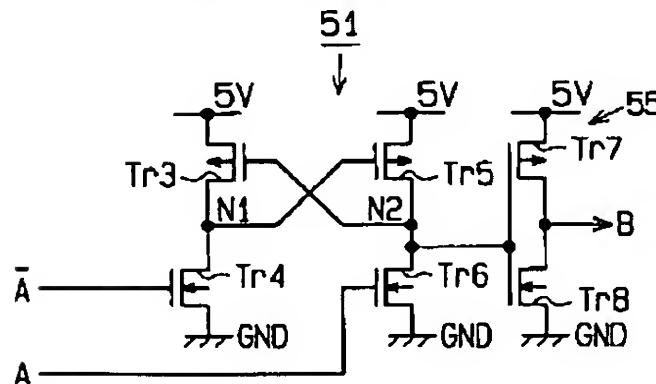
【図9】

第5の実施の形態の別例の入出力回路を示す回路図



【図11】

従来のレベルコンバータを示す回路図



【図12】

電源電圧の投入時間の差を示す波形図

